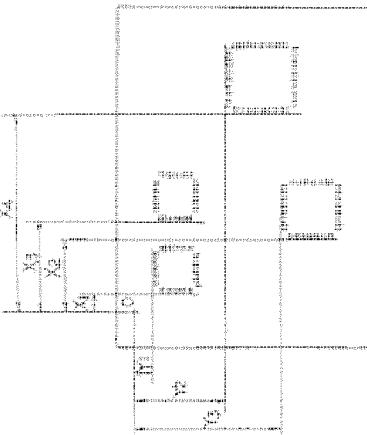


FORMATION OF LEAD-PATTERN OF WIRING SUBSTRATE

Patent number: JP1191492 (A)
Publication date: 1989-08-01
Inventor(s): CHIBA KOICHI
Applicant(s): TOKYO SHIBAURA ELECTRIC CO
Classification:
- **international:** H05K3/06; H05K3/00; H05K3/06; H05K3/00; (IPC1-7): H05K3/06
- **European:** H05K3/00N4
Application number: JP19880016089 19880127
Priority number(s): JP19880016089 19880127

Abstract of JP 1191492 (A)

PURPOSE: To prevent the occurrence of the position deviation in exposure and errors, by performing the exposure of every flat package type element in a divided manner without general exposure when the groups of lead patterns corresponding to a plurality of the flat package type(FP) elements that are to be formed on the specified surface of a board is formed by utilizing an exposure method. **CONSTITUTION:** A ceramic board wherein a photoresist layer is deposited and formed on the surface is prepared. A reference point 0 is set at a specified position, e.g., a corner part, on the board. Then, the board is mounted on a mounting table for exposure, e.g., an X-Y table. A lead pattern group for one position of a prepared specified FP element is used as a unit in a photo-mask. The photo-mask is arranged on the photo-mask layer of said ceramic board. Distances X1 and Y1 from the reference point 0 are accurately obtained by the X-Y table. Then the exposure is performed. After the exposure, the same procedure is sequentially performed for the lead pattern group of the next one FP element. When the exposure corresponding to the lead pattern of each FP element is finished, development is performed. Required metal layers are deposited and formed on the exposed surfaces of the desired lead pattern groups.



Data supplied from the **esp@cenet** database — Worldwide

⑫ 公開特許公報 (A)

平1-191492

⑬ Int. Cl. 4

H 05 K 3/06

識別記号

府内整理番号

A-6679-5F

⑭ 公開 平成1年(1989)8月1日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 配線基板のリードパターン形成方法

⑯ 特願 昭63-16089

⑰ 出願 昭63(1988)1月27日

⑱ 発明者 千葉 宏一 神奈川県横浜市磯子区新磯子町33 株式会社東芝横浜事業所磯子工場内

⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代理人 弁理士 須山 佐一

明細書

方法に関する。

1. 発明の名称

配線基板のリードパターン形成方法

2. 特許請求の範囲

基板面上に、複数のフラットパッケージ型素子用のリードパターンを形成するに当り、フラットパッケージ型素子1個分の少なくとも一つの辺のリードパターン群を単位とし、前記基板の基準点からの距離を基準としてレジスト層を有する基板上の所定位置に前記単位毎に順次フラットパッケージ型素子用のリードパターンを露光させて所定リードパターンを形成する手段を含むことを特徴とする配線基板のリードパターン形成方法。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は配線基板のリードパターンの形成方法に係り、特に半導体集積回路素子などを主要部としたフラットパッケージ型素子(以下F P素子と略称)の実装用配線基板のリードパターン形成

(従来の技術)

F P素子や抵抗体などを、例えばセラミックス配線基板の所定領域に実装して成る高密度実装回路は電子機器類の小型化などに伴なって広く実用化されている。ところでこの種高密度実装回路板を形成するセラミックス配線基板の表面には回路パターンないしリードパターンが形設されており、前記F P素子の端子リードを対応するリードパターンに半田付けし、電気的に接続した実装構成を探っている。しかしてこの種高密度実装回路においては複数個のF P素子を実装する場合が多くこのためこれらF P素子の各端子リードに対応するリードパターンを当然形成具備しており、このリードパターンの形成は一般に次の如く行われている。すなわちセラミックス基板面にフォトレジスト層を被着形成し、このフォトレジスト層上に、実装する(複数の)F P素子の端子リードのパターンに対応した各リードパターンを備えたマスクを載せ露光、現像処理を施して所要のリード

ドパターンを形成する。しかる後、前記フォトレジストをマスクとし金属層を蒸着形成してからフォトレジストおよびそのレジスト層上の蒸着金属層を剥離除去点に所要の金属層パターンを残していく。

(発明が解決しようとする課題)

しかし、上記のようにセラミックス基板上に所要の金属パターンを形成した場合、次のような不都合が往々認められる。すなわちセラミックス基板が比較的大型の場合には形成した各FP素子の端子リード群に対応する金属パターンないしリードパターンが精度よく所定の位置に形成され難い。つまりマスクを介して露光した場合、基板やマスクが熱的に伸縮すること、全体的に垂直方向から露光することが実際に難しいことなどに伴ない位置ずれを招来し易く、その後の現像処理と相まってリードパターンの位置誤差を生ずる。

従って本発明はセラミックス基板が比較的大きい場合でも、FP素子の端子リードにそれぞれ対応するリードパターンを所定位置に精度よく形成

光され、またこの露光がマスクなどの熱的伸縮の影響も受け難くなることになり、露光の位置ずれは全面的に抑止される。

(実施例)

以下図面を参照して本発明の実施例を説明する。

まず表面にフォトレジスト層を被着形成したセラミックス基板を用意し、第1図に示す如く基板上の所定位置例えばコーナ部に基準点0を設定する。次いでこのセラミックス基板1を露光用の載置台、例えばXYテーブル上に載置する。一方予め用意した所定のFP素子2の位置1個分のリードパターン群3を単位としたフォトマスクを前記セラミックス基板のフォトマスク層上に配置する。このフォトマスクの配置においては、所要のリードパターン群3を形成すべき位置を、前記基準点0を基準にして決める。つまり所要の位置をなす基準点0からの距離 X_1 、 Y_1 をXYテーブルないしXYステージによって正確に求めながら所定のフォトマスクを配置する。かくしてフォトマス

クを配置した後露光を行ないその露光が終った時点で次のFP素子1個分のリードパターン群3について順次同様の操作を行なう。すなわちFP素子1毎のリードパターン群3につき基準点0からの距離 X_2 、 X_3 …、 Y_2 、 Y_3 …と順次位置をずらしてフォトマスクを配置し、所要の露光を行なう。こうしてセラミックス基板上に実装ないし配設する各FP素子のリードパターンに対応する露光が終了した後、フォトレジスト層について現像処理を施し、例えばリードパターン群3の位置を露出させて、その露出面に所要の金属層を蒸着などによって被着形成して所望のリードパターン群3にそれぞれ形成する。セラミックス基板面に予め金属層を被着形成したものを用いた場合には逆パターンにフォトレジストを残し不要部分を選択エッティング除去して所望のリードパターン群3を作りうる。

なお上記実施例ではFP素子1、1個のリードパターン群を一度に露光した例を示したが1個のFP素子の一つの辺に対応するリードパターン群

しうる方法を提供するものである。

[発明の構成]

(課題を解決するための手段)

本発明は、フォトレジスト層を表面に設けた例えはセラミックス基板に予め基準点を設定しておき、この基準点を基準にFP素子の端子リードに対応するリードパターン群もしくはFP素子の一辺に突設されせ端子リードに対応するリードパターン群毎に相当するマスクを介して順次露光を施した後、現像処理を施す工程を具備したことを特徴とする。

(作用)

本発明によれば、予め設定した基準点を常に基準とし、各リードパターン群毎に二次元的な所定の位置、つまりX方向およびY方向の距離が選択され、所要の露光が順次行なわれる。すなわち一括的にリードパターンの露光を行なわず各リードパターン群毎にその都度所定位置合せを行ないマスキングして部分的に露光処理がなされているため垂直方向など常に略一定方向(角度)から露

3 毎に行なってもよい。また基板はセラミックスに限らず例えばガラスメタルコア絶縁基板、樹脂系基板であってもよい。

[発明の効果]

本発明によれば上記実施例から明らかなように露光法を利用して基板の所定面に形成する複数個のFP素子に対応するリードパターン群の形成に当り一括露光によらずFP素子毎に区分した形で露光することを基本としている。従って露光に際してフォトマスクや基板などの熱的伸縮などの影響や斜め方向からの露光も抑制されるため位置づけないし誤差の発生もなくなり、常にかつ容易に位置精度の高いリードパターン群を形成しうる。

4. 図面の簡単な説明

図は本発明方法を説明するための説明図である。

1 ……基板

2 ……フラットパッケージ型素子

(FP素子)の位置

3 ……リード端子列

